

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-183397
(43)Date of publication of application : 21.07.1995

(51)Int.Cl.

H01L 21/8242
H01L 27/108
H01L 27/04
H01L 21/822
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792
H01L 37/02
H01L 41/08

(21)Application number : 06-108628

(71)Applicant : SHARP CORP

(22)Date of filing : 23.05.1994

(72)Inventor : USHIKUBO MAHO
ITO YASUYUKI

(30)Priority

Priority number : 05284982 Priority date : 15.11.1993 Priority country : JP

(54) DIELECTRIC THIN FILM ELEMENT AND FABRICATION THEREOF

(57)Abstract:

PURPOSE: To provide a dielectric thin film element in which a thin film can be formed easily while decreasing the leakage current density and enhancing the dielectric strength.

CONSTITUTION: The dielectric thin film element comprises an electrode and a dielectric thin film comprising a laminate of a plurality of layers. The laminate is composed of one kind of element including volatile element wherein the content of volatile element in at least one layer is different from those of other layers.

LEGAL STATUS

[Date of request for examination] 06.02.1998

[Date of sending the examiner's decision of rejection] 30.01.2001

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-183397

(43)公開日 平成7年(1995)7月21日

(51)Int.Cl.⁶

H 01 L 21/8242

27/108

27/04

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H 01 L 27/ 10

3 2 5 J

27/ 04

C

審査請求 未請求 請求項の数 6 O L (全 11 頁) 最終頁に続く

(21)出願番号

特願平6-108628

(22)出願日

平成6年(1994)5月23日

(31)優先権主張番号 特願平5-284982

(32)優先日 平5(1993)11月15日

(33)優先権主張国 日本 (JP)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 牛久保 真帆

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 伊藤 康幸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 弁理士 野河 信太郎

(54)【発明の名称】 誘電体薄膜素子及びその製造方法

(57)【要約】

【目的】 薄膜化が容易であると共にリーク電流密度が小さく、絶縁耐圧が向上した誘電体薄膜素子の提供。

【構成】 少なくとも電極と誘電体薄膜からなる誘電体薄膜素子であって、前記誘電体薄膜が複数の層からなる積層体であり、該積層体が押発性元素を含む同一種類の元素からなり、前記複数の誘電体薄膜層のうちの少なくとも1層に含まれる押発性元素の含有量が他の誘電体薄膜層に含まれる押発性元素の含有量と異なることを特徴とする。

1

2

【特許請求の範囲】

【請求項1】 少なくとも電極と誘電体薄膜からなる誘電体薄膜素子であって、前記誘電体薄膜が複数の層からなる積層体であり、該積層体が揮発性元素を含む同一種類の元素からなり、前記複数の誘電体薄膜層のうちの少なくとも1層に含まれる揮発性元素の含有量が他の誘電体薄膜層に含まれる揮発性元素の含有量と異なることを特徴とする誘電体薄膜素子。

【請求項2】 誘電体薄膜が強誘電体薄膜であることを特徴とする請求項1記載の誘電体薄膜素子。

【請求項3】 誘電体薄膜が3層からなり、該3層のうち中間層が他の2層に含まれる含有量より少ない量の揮発性元素を含むことを特徴とする請求項1又は2記載の誘電体薄膜素子。

【請求項4】 挥発性元素が、鉛、ビスマス、ストロンチウム、バリウム、リチウム、カルシウム、カリウム、ナトリウムであることを特徴とする請求項1～3いずれか1つに記載の誘電体薄膜素子。

【請求項5】 少なくとも電極と誘電体薄膜からなる誘電体薄膜素子の製造方法であって、前記誘電体薄膜が複数の層からなる積層体であり、該積層体が揮発性元素を含む同一種類の元素からなり、前記複数の誘電体薄膜層のうちの少なくとも1層を、他の誘電体薄膜層に含まれる揮発性元素の含有量と異なる揮発性元素の含有量で形成することを特徴とする誘電体薄膜素子の製造方法。

【請求項6】 誘電体薄膜が3層からなり、該3層のうち中間層が他の2層に含まれる含有量より少ない量の揮発性元素を含むことを特徴とする請求項5記載の誘電体薄膜素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は誘電体薄膜素子及びその製造方法に関する。さらに詳しくは、不揮発性メモリ素子、キャパシタ、光変調素子、圧電素子、焦電型赤外線センサ等に用いられる誘電体薄膜素子及びその製造方法に関する。

【0002】

【従来の技術】 一般にDRAM等において電荷を蓄積するのは、誘電体薄膜からなるキャパシタである。そのキャパシタ用の誘電体薄膜材料には SiO_2 (酸化シリコン)が主に使用されている。更に近年、高集積化が要求されていることから SrTiO_3 (チタン酸ストロンチウム)、(Ba, Sr) TiO_3 (チタン酸バリウムストロンチウム)等を用いた高誘電率薄膜も研究されている。

【0003】 また、誘電体の中でも自発分極をもつ強誘電体を利用した不揮発性メモリが、近年盛んに研究されている。このような強誘電体に使用される材料として、 $\text{PZT}[\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3]$ 、チタン酸ジルコン酸鉛)、 PbTiO_3 (チタン酸鉛)、 BaTiO_3 (チタン

酸バリウム)等の酸化物が主に使用されている。このうち有望な不揮発性メモリ用材料としてPZTが精力的に研究されている。

【0004】 この誘電体薄膜素子は、半導体技術の進歩による電子部品の小型化、集積化にともない、小型化、薄膜化が進みつつあり、更に欠陥のない膜が求められている。従来提案されている強誘電体薄膜素子として、例えば、特開平第3-108192号及び特開平3-108770号に記載の素子が挙げられる。これらの素子は、互いに直交するストライプ状の上下電極間に、抗電界の異なる複数の強誘電体膜が挟まれてなる構成を有している。

【0005】

【発明が解決しようとする課題】 上記のような従来提案されている誘電体薄膜の製造方法として、真空蒸着法、スパッタ法、ゾル・ゲル法、有機金属化学気相成長法(MOCVD法)などが検討されている。これらの方法は、成膜時の基板温度を上げるなどして成膜中に結晶化を行う方法と、成膜後に熱処理を施して結晶化する方法の2通りの方法からなる。しかし、どちらの方法でも、誘電体薄膜中に比較的蒸発しやすい元素を含んでいると、結晶化の最中の揮発性元素の再蒸発等により強誘電体薄膜中に多数のピンホールが形成されたり、表面の凹凸が大きくなったりする。そして、リーク電流が増大したり、セル間の特性がばらつくなどの問題があった。このため、高集積化に伴う誘電体膜の薄膜化が困難であった。

【0006】 例えば、上記2通りの方法によって、強誘電体薄膜を製造した場合、前者の方法では、成膜時の基板温度を500℃～700℃の高温に保持して成膜速度も遅くしなければならないため生産性の点で問題があった。また、後者の方法では、強誘電体材料がPbなどの比較的蒸発しやすい元素を含んでいると、熱処理後の膜の組成が化学量論上の組成比からずれてPbが不足した状態になってしまったため、これを補償するために熱処理前の膜をPbの多い組成にしておかなければならない。ところが、熱処理時のPbの再蒸発等により強誘電体薄膜中に多数のピンホールが形成され、表面の凹凸も大きくなるため、リーク電流が増大したり、セル間の特性がばらつくなどの問題があった。このため、高集積化に伴う強誘電体膜の薄膜化が困難であった。

【0007】 また、上記特開平第3-108192号及び特開平3-108770号に記載された強誘電体素子は、素子を構成する強誘電体薄膜が、種類の異なる強誘電体材料を複数積層した構造或いは第三の元素を添加することにより組成を変えた構造を有している。その構造により抗電界を異らせ、残留分極値の減少を防止しているのみであり、ピンホール等の薄膜表面に生じる凹凸を防止することはできなかった。

【0008】 そこで本発明者らは、鋭意検討の結果、誘

電体薄膜に含まれる揮発性元素に着目し、この揮発性元素の含有量を調節することによって、ピンホール等が生じず凹凸の少ない平坦な誘電体薄膜が得られることを見いだし本発明に至った。

【0009】

【課題を解決するための手段】かくして、少なくとも電極と誘電体薄膜からなる誘電体薄膜素子であって、前記誘電体薄膜が複数の層からなる積層体であり、該積層体が揮発性元素を含む同一種類の元素からなり、前記複数の誘電体薄膜層のうちの少なくとも1層に含まれる揮発性元素の含有量が他の誘電体薄膜層に含まれる揮発性元素の含有量と異なることを特徴とする誘電体薄膜素子及びその製造方法が提供される。

【0010】本発明の揮発性元素とは、誘電体薄膜素子の製造工程における薄膜の成膜時や成膜後の熱処理等の高温プロセスで揮発する元素を意味する。一般に高温プロセスは400°C(673K)以上で行われ、この温度で蒸気圧が10⁻⁶Pa以上の元素は揮発する傾向がある。本発明において特に好ましい揮発性元素は、鉛、ビスマス、ストロンチウム、バリウム、リチウム、カルシウム、カリウム、ナトリウム等である。これらの蒸気圧曲線を図18に示す。図18からわかるように、上記元素は400°Cでいずれも10⁻⁶Pa以上の蒸気圧を有している。本発明の誘電体薄膜素子は、強誘電効果、圧電効果、焦電効果、電気光学効果等を利用する少なくとも電極と誘電体薄膜を有するものであればどのような装置にも適用することができる。そのような装置として、キャパシタ構造を有する半導体装置、光変調器、超音波センサ、赤外線リニアアレイセンサ等を挙げることができる。

【0011】本発明に使用できる誘電体材料には、鉛、ビスマス、ストロンチウム、バリウム、リチウム、カルシウム、カリウム、ナトリウム等の揮発性元素を少なくとも1種含む材料を使用でき、例えば、SrTiO₃、(Ba_{1-x} Sr_x)TiO₃、BaMgF₄、LiNbO₃、LiTaO₃、CaBi₄Ti₄O₁₅、KNbO₃、NaNbO₃等の高誘電率材料、あるいはPZT、(Pb_{1-x} La_x)TiO₃、PLZT [(Pb_{1-x} La_x)(Zr_y Ti_{1-y})O₃]、Bi₄Ti₃O₁₂、BaTiO₃等の強誘電体材料が挙げられる。

【0012】この内、好ましい材料は、高誘電率材料は、SrTiO₃、(Ba_{1-x} Sr_x)TiO₃であり、強誘電体材料は、PZT、PLZT、Bi₄Ti₃O₁₂である。以上に示した材料からなる誘電体薄膜は、同一の元素からなり、かつ、その内に含まれる揮発性元素の組成が異なる複数の層からなる。本発明の誘電体薄膜は少なくとも3層以上からなることが好ましい。3層構造とした場合には、中間層が、他の2層に比べて揮発性元素が少ないと見込まれる。尚、3層以上であっても、本発明は

適用可能であり、その場合は揮発性元素の含有量を中間層が少なく、中間層を挟む上下層を多くすることにより目的を達成することができる。

【0013】誘電体薄膜の製造方法は、公知のRFマグネットロニンスパッタ法、有機金属化学気相成長法(MOCVD法)、イオンビームスパッタ法、真空蒸着法、ソル・ゲル法等が挙げられる。これら各種の方法のうち、RFマグネットロニンスパッタ法、MOCVD法、イオンビームスパッタ法が好ましい。例えばRFマグネットロニンスパッタ法により成膜し、その後熱処理を施して結晶化を行う場合、基板温度は室温~450°C、スパッタパワー100~1000W、スパッタガス圧力0.1~1Paを共通成膜条件として、スパッタガス流量比を変えることによって、組成の異なる薄膜を形成することができる。スパッタガスとしては、Ar/O₂等の公知のものが使用できる。この方法により成膜した誘電体薄膜は、結晶化させるために、更にアニール等の熱処理を施す必要がある。その条件は、用いる材料、組成比等により適宜設定されるものである。

【0014】次にMOCVD法により成膜する場合、基板温度は500~800°Cであり、誘電体薄膜を成膜するための原料ガスには公知のものが使用できる。また、MOCVD法において、誘電体薄膜の組成を調整するには、各原料ガスを流通させるキャリアガスの流量を変えることによって実行することができる。使用できるキャリアガスには、N₂等の公知のものが使用できる。

【0015】更にイオンビームスパッタ法により成膜する場合は、基板温度400~700°C、イオンビームの加速電圧800~1200Vを共通成膜条件として、上記RFマグネットロニンスパッタ法と同じように操作して、薄膜を形成することができる。尚、上記成膜条件は、形成される誘電体薄膜の違いによって若干相違するのは旨うまでもない。

【0016】次に、本発明に使用できる上部及び下部電極膜には、Pt、Al、Cu、RuO₂等の公知の材料を使用することができ、その膜厚は50~5000Åが好ましい。更に、本発明の誘電体薄膜素子は、基板上に形成するが好ましい。基板には公知のものが使用でき、例えばシリコン、GaAs等がある。また、基板と下部電極膜との間に、基板を絶縁するためのSi熱酸化膜、下部電極膜とSi熱酸化膜との密着性を向上させるためのTi膜等を所望により形成することもできる。それぞれの膜の膜厚は50~5000Å、50~2000Åが好ましい。

【0017】

【作用】上記構造を採用することにより、ピンホールが発生せず、表面の凹凸も減少するので、薄膜化が容易になると共にリーク電流密度が小さくなり、絶縁耐圧も向上する。

【0018】

【実施例】

実施例1

図1は、本発明の強誘電体薄膜素子から構成され、後述するような電気特性を評価するために作製した素子構造を示す断面構造概略図である。1はn型シリコン基板、2は前記n型シリコン基板1の表面に形成されたS i熱酸化膜、3は前記S i熱酸化膜2上に形成されたT i膜、4は前記T i膜3上に形成されたP t下部電極、5はP t下部電極4上に形成された強誘電体P Z T膜の第一層、6は前記強誘電体P Z T膜の第一層5上に作製された強誘電体P Z T膜の第二層、7は前記強誘電体P Z T膜の第二層6上に作製された強誘電体P Z T膜の第三層、8は前記強誘電体P Z T膜の第三層7上に形成されたP t上部電極である。

【0019】n型シリコン基板1の表面に膜厚2000ÅのS i熱酸化膜2を形成し、このS i熱酸化膜2上に膜厚300ÅのT i膜3を、このT i膜3上に膜厚200ÅのP t膜4を、このP t膜4上に強誘電体膜としてP Z T膜5、6、7を、それぞれRFマグネットロンスパッタ法により形成した。なお、P Z T膜5、6、7は、基板温度250°C、スパッタパワー700W、スパッタガス圧力0.4Paを共通成膜条件とし、P Z T膜5、7はスパッタガス流量比A r/O₂=3/1、P Z T膜6はスパッタガス流量比A r/O₂=2/1で、それぞれ膜厚700Åずつ、計2100Åになるよう形成した。P Z T膜5あるいは7と同様の成膜条件で単独に成膜した膜の組成比は、P b:T i:Z r=0.57:0.22:0.21であり、P Z T膜6と同様の成膜条件で単独に成膜した膜の組成比は、P b:T i:Z r=0.53:0.24:0.23であった。

【0020】このP Z T膜5、6、7に、赤外線ランプを用いた高速アニーリング装置を用いて熱処理を施して結晶化を行った。熱処理条件は、大気圧の100%酸素雰囲気中で、昇温および降温速度は35°C/sec.、アニーリング温度は600°C、アニーリング時間は15sec.であった。熱処理後の膜の組成比は、P Z T膜5あるいは7と同様の成膜条件で単独に成膜した場合、P b:T i:Z r=0.55:0.23:0.22であり、P Z T膜6と同様の成膜条件で単独に成膜した場合、P b:T i:Z r=0.49:0.26:0.25であった。熱処理後の膜のX線回折分析の結果、ペロブスカイト構造のP Z T單一層のピークのみが現われ、結晶化が行われていることが確認された。また、膜断面のSEM観察の結果、P Z T膜中にはピンホールが観察されなかった。P t上部電極8とP t下部電極4の間に電界9を印加することにより、実施例1と同様に強誘電体記憶素子として用いるのに十分な大きさの強誘電特性が得られた。

【0021】熱処理による結晶化の後、P Z T膜7の表面に真空蒸着法でP t上部電極8を形成した。P t上部電極8の大きさは、6.0μm×6.0μmの矩形で膜厚は2000Åであった。上記の様な方法で作製した強誘電体薄膜素子のP t上部電極8とP t下部電極4の間に電

界9を印加することにより得られたヒステリシスループを図3に示す。印加した電界9は、強度150kV/cmの三角波で周波数は75Hzであった。強誘電体記憶素子として用いるのに十分な大きさの強誘電特性が得られていることが分かる。

【0022】実施例2

本発明の誘電体薄膜素子を評価するための構造は、実施例1と同様である。但し、誘電体薄膜の製造方法と組成比は異ならせた。以下、図1を参照して本発明の実施例を説明する。P Z T膜5、6、7は、基板温度250°C、スパッタパワー700W、スパッタガス圧力0.4Paを共通成膜条件とし、P Z T膜5、7はスパッタガス流量比A r/O₂=3/1、P Z T膜6はスパッタガス流量比A r/O₂=1/1、それぞれ膜厚700Åずつ、計2100Åになるよう形成した。P Z T膜5あるいは7と同様の成膜条件で単独に成膜した膜の組成比は、P b:T i:Z r=0.57:0.22:0.21であり、P Z T膜6と同様の成膜条件で単独に成膜した膜の組成比は、P b:T i:Z r=0.51:0.22:0.24であった。

【0023】このP Z T膜5、6、7に、赤外線ランプを用いた高速アニーリング装置を用いて熱処理を施して結晶化を行った。熱処理条件は、大気圧の100%酸素雰囲気中で、昇温および降温速度は35°C/sec.、アニーリング温度は600°C、アニーリング時間は15sec.であった。熱処理後の膜の組成比は、P Z T膜5あるいは7と同様の成膜条件で単独に成膜した場合、P b:T i:Z r=0.55:0.23:0.22であり、P Z T膜6と同様の成膜条件で単独に成膜した場合、P b:T i:Z r=0.47:0.27:0.26であった。熱処理後の膜のX線回折分析の結果、ペロブスカイト構造のP Z T單一層のピークのみが現われ、結晶化が行われていることが確認された。また、膜断面のSEM観察の結果、P Z T膜中にはピンホールが観察されなかった。P t上部電極8とP t下部電極4の間に電界9を印加することにより、実施例1と同様に強誘電体記憶素子として用いるのに十分な大きさの強誘電特性が得られた。

【0024】比較例1

図2は、従来の誘電体薄膜素子を説明するための一断面構造概略図である。10はn型シリコン基板、11は前記n型シリコン基板10の表面に形成されたS i熱酸化膜、12は前記S i熱酸化膜11上に形成されたT i膜、13は前記T i膜12上に形成されたP t下部電極、14はP t下部電極13上に形成された強誘電体P Z T膜、15は強誘電体P Z T膜14上に形成されたP t上部電極である。P Z T膜14以外の膜の成膜方法及び熱処理方法は上記実施例1及び2の場合と同じとした。P Z T膜14の成膜条件は、基板温度250°C、スパッタパワー700W、スパッタガス圧力0.4Pa、

スパッタガス流量比 $A_r/O_2 = 3/1$ で、熱処理条件は、大気圧の 100% 酸素雰囲気中で、昇温および降温速度は 35°C/s、アニーリング温度は 600°C、アニーリング時間は 15 s であった。熱処理後の膜の X 線回折分析の結果、ペロブスカイト構造の PZT 単一層のピークのみが現われ、結晶化が行われていることが確認された。また、膜断面の SEM 観察の結果、PZT 膜中に 500~1000 Å のピンホールが多数観察された。

【0025】図 4~6 は、実施例 1 及び 2 の本発明による誘電体薄膜素子と比較例 1 の従来の誘電体薄膜素子の I-V 特性を比較するためのグラフをそれぞれ示している。本発明による誘電体薄膜素子は、リーク電流、絶縁耐圧とともに改善されており、誘電体薄膜素子として良好な特性を有していることが分かる。

【0026】実施例 3

以下、図 1 を参照して本発明の実施例を説明する。本発明の誘電体薄膜素子を評価するための構造は、実施例 1 と同様である。但し、誘電体薄膜の製造方法と組成比は異ならせた。n 型シリコン基板 1 の表面に膜厚 2000 Å の Si 熱酸化膜 2 を形成し、この Si 热酸化膜 2 上に膜厚 300 Å の Ti 膜 3 を、この Ti 膜 3 上に膜厚 2000 Å の Pt 膜 4 を、この Pt 膜 4 上に強誘電体膜として PZT 膜 5、6、7 を、それぞれ有機化学気相成長法 (MOCVD 法) により形成した。Pb、Zr、および Ti の原料には、それぞれ、Pb (DPM)₂ (DPM: ジビパロイルメタン, C₁₁H₂₀O₂)、Zr (O-t-C₄H₉)₄、Ti (O-i-C₃H₇)₄ を用い、温度 700°C で成膜を行った。PZT 膜 5、7においては、Pb (DPM)₂ に対する N₂ キャリアガス流量 F_{Pb} = 150 sccm、Zr (O-t-C₄H₉)₄ に対する N₂ キャリアガス F_{Zr} = 50 sccm、Ti (O-i-C₃H₇)₄ に対する N₂ キャリアガス流量 F_{Ti} = 100 sccm、O₂ 希釈ガス流量は F_{O2} = 700 sccm、N₂ 希釈ガス流量 F_{N2} = 300 sccm とし、PZT 膜 6 では F_{Pb} = 100 sccm、F_{Zr} = 50 sccm、F_{Ti} = 100 sccm、F_{O2} = 700 sccm、F_{N2} = 350 sccm とした。そして、それぞれの膜は厚さ 700 Å ずつ、計 2100 Å になるよう形成した。PZT 膜 5 あるいは 7 と同様の成膜条件で単独に成膜した膜の組成比は、Pb : Ti : Zr = 0.50 : 0.21 : 0.29 であり、PZT 膜 22 と同様の成膜条件で単独に成膜した膜の組成比は、Pb : Ti : Zr = 0.47 : 0.22 : 0.31 であった。PZT 膜 5、6、7 を成膜後、PZT 膜 7 の表面に真空蒸着法で Pt 上部電極 8 を形成した。Pt 上部電極 8 の大きさは、60 μm × 60 μm の矩形で膜厚は 2000 Å であった。

【0027】上記の様な方法で作製した強誘電体薄膜素子の Pt 上部電極 8 と Pt 下部電極 4 の間に電界 9 を印加することにより得られたヒステリシスループを図 7 に

示す。印加した電界 9 は、強度 150 kV/cm の三角波で周波数は 75 Hz であった。強誘電体記憶素子として用いるのに十分な大きさの強誘電特性が得られていることが分かる。また、SEM により PZT 膜 5、6、7 の断面および表面状態を観察したところ、ピンホールはなく、表面は平滑であった。

【0028】比較例 2

従来の誘電体薄膜素子を評価するための構造は、比較例 1 と同じである。但し、誘電体薄膜の製造方法と組成比は異ならせた。PZT 膜 14 の成膜条件は、基板温度 700°C、キャリアガス流量と希釈ガス流量は、F_{Pb} = 150 sccm、F_{Zr} = 50 sccm、F_{Ti} = 100 sccm、F_{O2} = 700 sccm、F_{N2} = 300 sccm であった。成膜後の膜の X 線回折分析の結果、ペロブスカイト構造の PZT 単一層のピークのみが現われ、結晶化が行われていることが確認された。

【0029】図 8 は、実施例 2 の本発明による強誘電体記憶素子と比較例 2 の従来の強誘電体記憶素子の I-V 特性を比較したグラフである。本発明による強誘電体記憶素子は、リーク電流、絶縁耐圧ともに改善されており、強誘電体記憶素子として良好な特性を有していることが分かる。なお、実施例 3 の PZT 膜の組成を Pb : Ti : Zr = 0.49 : 0.21 : 0.30 として素子作製を行ったところ、実施例 3 と同様、優れた特性が得られた。

【0030】実施例 4

以下、図面を参照して本発明の実施例を説明する。図 9 は、本発明の誘電体記憶素子の一断面構造概略図である。17 は n 型シリコン基板、18 は前記 n 型シリコン基板 17 の表面に形成された Si 热酸化膜、19 は前記 Si 热酸化膜 18 上に形成された Ti 膜、20 は前記 Ti 膜 19 上に形成された Pt 下部電極、21 は Pt 下部電極 20 上に形成された SrTiO₃ 膜の第一層、22 は前記 SrTiO₃ 膜の第二層、23 は前記 SrTiO₃ 膜の第三層、24 は第三層 23 上に形成された Pt 上部電極である。

【0031】n 型シリコン基板 17 の表面に膜厚 2000 Å の Si 热酸化膜 18 を形成し、この Si 热酸化膜 18 上に膜厚 300 Å の Ti 膜 19 を、この Ti 膜 19 上に膜厚 2000 Å の Pt 膜 20 を、この Pt 膜 20 上に高誘電率膜として SrTiO₃ 膜 21、22、23 は、基板温度 550°C、イオンビームの加速電圧 1000 V で、それぞれの膜は厚さ 700 Å ずつ、計 2100 Å になるよう成膜した。SrTiO₃ 膜 21 あるいは 23 と同様の成膜条件で単独に成膜した膜の組成比は、Sr/Ti = 1 であり、PZT 膜 33 と同様の成膜条件で単独に成膜した膜の組成比は、Sr/Ti = 0.8 であった。

【0032】SrTiO₃ 膜 21、22、23 を成膜

後、SrTiO₃膜23の表面に真空着法でPt上部電極24を形成した。Pt上部電極24の大きさは、60μm×60μmの矩形で膜厚は2000Åであった。上記の様な方法で作製した誘電体薄膜の誘電率は220であった。また、SEMによりSrTiO₃膜21、22、23の断面および表面状態を観察したところ、ビンホールはなく、表面は平滑であった。

【0033】比較例3

図10は、従来の誘電体薄膜を評価するための一断面構造概略図である。26はn型シリコン基板、27は前記n型シリコン基板26の表面に形成されたSrTiO₃熱酸化膜、28は前記SrTiO₃熱酸化膜27上に形成されたTi膜、29は前記Ti膜28上に形成されたPt下部電極、30はPt下部電極29上に形成されたSrTiO₃膜、31はSrTiO₃膜30上に形成されたPt上部電極である。SrTiO₃膜30以外の膜の成膜方法は上記の場合と同じであった。SrTiO₃膜30の成膜条件は、基板温度550℃、イオンビームの加速電圧1000Vであった。成膜後の膜のX線回析分析の結果、ペロブスカイト構造のSrTiO₃単一層のピークのみが現われ、結晶化が行われていることが確認された。

【0034】図11は、実施例4の本発明による誘電体記憶素子と比較例3の従来の誘電体記憶素子のI-V特性を比較したグラフである。本発明による誘電体記憶素子は、リーク電流、絶縁耐圧ともに改善されており、誘電体記憶素子として良好な特性を有していることが分かる。なお、実施例4のSrTiO₃膜23の組成をSr/Ti=0.88として素子作製を行ったところ、実施例4と同様、優れた特性が得られた。

【0035】実施例5

実施例1に示した誘電体薄膜を使用して、図12に示したようにキャパシタ構造の不揮発性メモリを作製した。このメモリは、基板の表面層に設けられたピットライン41間の基板上にワードライン43が設けられ、このワードライン43上に絶縁膜44を介して、キャパシタ構造である電極に挟まれた強誘電体薄膜42が配設されている。更に強誘電体薄膜42は、一方のピットライン43とA1配線層45によって接続されてなる構造を有している。

【0036】このメモリにおいて、強誘電体薄膜42に電圧を印加したとき、キャパシタの分極の向きが反転するか否かでピット線41に発生する電位差が変化する。これより「0」と「1」と定義することができる。強誘電体薄膜42は残留分極を持つので、電源をOFFにしても「0」或いは「1」の状態が保持される。この保持により不揮発性記憶動作が実現される。この構造では、普段は強誘電体の高誘電率特性のみを利用してDRAMを動作させ、電源OFF時ののみ不揮発性メモリとして動作させることも可能となる。

【0037】実施例6

実施例1に示した誘電体薄膜を使用して、図13に示したように強誘電体ゲート不揮発性メモリFETを作製した。このFETは、基板の表面層にソース・ドレイン領域53が設けられており、ソース・ドレイン領域53間の基板上に強誘電体薄膜51が設けられており、更にA1からなるゲート電極52及びソース・ドレイン電極55が絶縁膜54により絶縁されてそれぞれ配設されてなる構造を有している。

【0038】このFETでは、ゲート電極52に電圧を印加し、強誘電体薄膜51の分極方向を変えることにより、半導体表面のチャネルの形成が制御できるので、ドレイン電流のON-OFFにより「0」と「1」と定義することができる。なお、強誘電体は残留分極を持つので、電源をOFFにしても「0」或いは「1」の状態を保持することができ、不揮発性の記憶動作を実現することができる。

【0039】実施例7

実施例1に示した誘電体薄膜を使用して、図14に示したように導波路型光変調器を作製した。この変調器は、サファイア基板上に誘電体薄膜61が積層され、この誘電体薄膜61上にポートA62及びポートB63なる導波路が設けられており、この2つの導波路は緩衝層64によって分離されるとともに、両導波路の上部表面の一部分以外が緩衝層64によって覆われている。また、ポートA62及びポートB63の上には緩衝層64を介してA1電極65が配設されている。

【0040】この変調器は誘電体の電気光学効果、すなわち印加電界によって屈折率が変化する現象を使用したものである。変調器の構造は、図に示したように、2つの導波路62及び63を交差させ、その交差部中央に微小なギャップをもつ電極64を設けてなる構造をしている。この変調器に電圧が印加されると、ギャップに集中する電界により局部的に屈折率が変化することとなり、そこで光が全反射し全反射型導波路光スイッチとなる。

【0041】実施例8

実施例1に示した誘電体薄膜を使用して、図15に示したように焦電薄膜型赤外線リニアセンサを作製した。このセンサは、Ni-Cr受光面電極71とアレイ電極73間に誘電体薄膜72が挟まれた構造を有している。このセンサは誘電体の焦電効果、すなわち温度変化に対応して表面に電荷を発生させる現象を用いたものである。このセンサでは、誘電体薄膜72の表面に赤外線を照射し、吸収されると温度変化が生じるので、この時発生する電圧又は焦電電流を検出することによって赤外線を検出することができる。

【0042】実施例9

実施例1に示した誘電体薄膜を使用して、図16に示したように超音波センサを作製した。このセンサは、共鳴用の溝81が設けられた基板上に、この溝81の一部を覆うようにSiO₂からなる片持ち梁82が設けられて

11

おり、さらにこの片持ち梁82上に、Pt/Ti電極83、誘電体薄膜84及びAl電極85がこの順で設けられてなる構造を有している。

【0043】このセンサは、誘電体の圧電効果、すなわち機械的応力を加えると応力に比例した電気分極を生じる現象を用いたものである。超音波をセンサが受波すると、その音圧により片持ち梁82が共振し、誘電体薄膜84がたわむことにより圧電効果が生じ電極間に電圧が発生する。よって、この電圧、片持ち梁82の大きさや膜厚を変化させることにより共振周波数特性を容易に制御することができる。

【0044】実施例10

実施例1に示した誘電体薄膜を使用して、図17に示したようにDRAMを作製した。このDRAMは、基板の表面層に設けられたビットライン91と基板上に設けられたワードライン92と誘電体薄膜とプレート電極からなるキャパシタとから構成されている。

【0045】このメモリにおいて、誘電体薄膜に電圧を印加するか否かでキャパシタの電荷量が変化する。その際、ビット線に発生する電位差より「0」と「1」を定義することができる。なお上記実施例5～10では実施例1の誘電体薄膜を使用する場合について述べたが、実施例2～3の誘電体薄膜でも同様に用いることができる。また、実施例4の誘電体薄膜は、実施例8～10に用いることが好ましい。

【0046】また、その他の揮発性元素を含む誘電体薄膜においても、強誘電効果、圧電効果、焦電効果或いは電気光学のいずれかを持つものであれば上記実施例5～10に適用できるのは言うまでもない。

【0047】

【発明の効果】本発明によれば、結晶化の最中の揮発性元素の再蒸発等によるピンホールが発生せず、表面の凹凸も減少するので薄膜化が容易であると共にリーグ電流密度が小さく、絶縁耐圧も向上させた誘電体薄膜素子を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施例1の誘電体薄膜素子の概略断面図である。

【図2】比較例1の従来の誘電体薄膜素子の概略断面図である。

【図3】本発明の実施例1の誘電体薄膜素子によって得られたヒステリシスループである。

【図4】実施例1の誘電体薄膜素子により得られたI-V特性を示す図である。

【図5】実施例2の誘電体薄膜素子により得られたI-V特性を示す図である。

【図6】比較例1の誘電体薄膜素子により得られたI-V特性を示す図である。

【図7】本発明の実施例2の誘電体薄膜素子によって得られたヒステリシスループである。

12

【図8】実施例2と比較例2の誘電体薄膜素子により得られたI-V特性の比較図である。

【図9】本発明の実施例4の誘電体薄膜素子の概略断面図である。

【図10】比較例3の誘電体薄膜素子の概略断面図である。

【図11】実施例4と比較例3の誘電体薄膜素子により得られたI-V特性の比較図である。

【図12】本発明の誘電体薄膜素子を用いたキャパシタ構造を有する不揮発性メモリである。

【図13】本発明の誘電体薄膜素子を用いたゲート不揮発性メモリFETである。

【図14】本発明の誘電体薄膜素子を用いた導波路型光変調器である。

【図15】本発明の誘電体薄膜素子を用いた焦電薄膜型赤外線リニアセンサである。

【図16】本発明の誘電体薄膜素子を用いた超音波センサである。

【図17】本発明の誘電体薄膜素子を用いたDRAMである。

【図18】揮発性元素の蒸気圧曲線である。

【符号の説明】

1、10、17、26 n型シリコン基板

2、11、18、27 シリコン熱酸化膜

3、12、19、28 Ti膜

4、13、20、29 Pt下部電極膜

5、21 第一層PZT強誘電体膜

6、22 第二層PZT強誘電体膜

7、23 第三層PZT強誘電体膜

8、15、24、31 Pt上部電極膜

9、16、25、32 印加電界

14、30 PZT強誘電体膜

41、91 ビットライン

42、51 強誘電体薄膜

43、92 ワードライン

44、54 絶縁膜

45 配線層

52 ゲート電極

53 ソース・ドレイン領域

40 55 ソース・ドレイン電極

61 誘電体薄膜

62 ポートA

63 ポートB

64 緩衝層

65、85 Al電極

71 Ni-Cr受光電極

72、84 誘電体薄膜

73 アレイ電極

81 溝

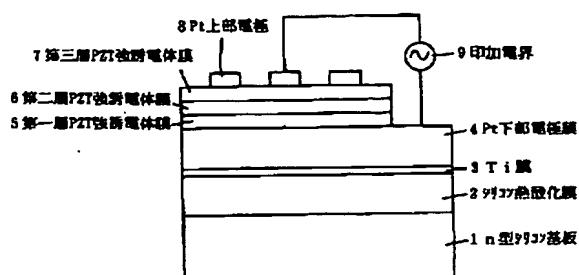
50 82 片持ち梁

13

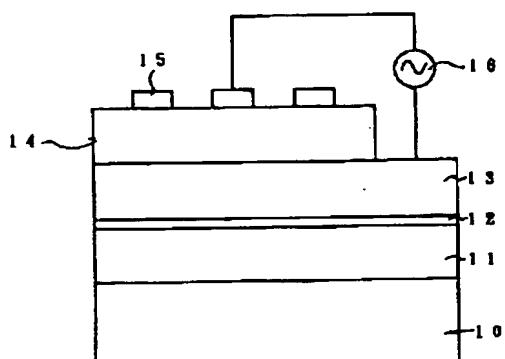
14

8.3 Pt/Ti電極

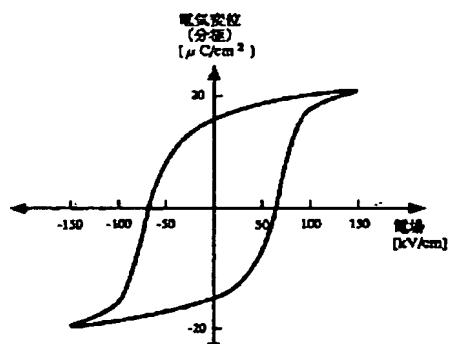
【図1】



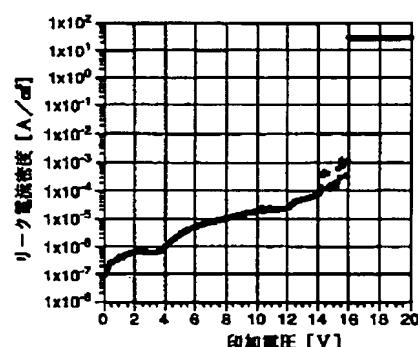
【図2】



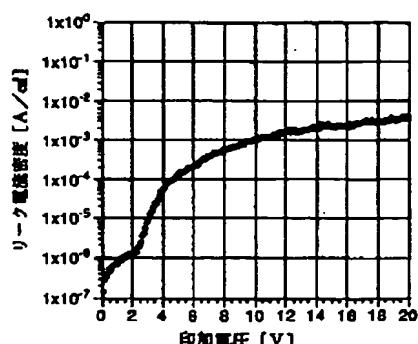
【図3】



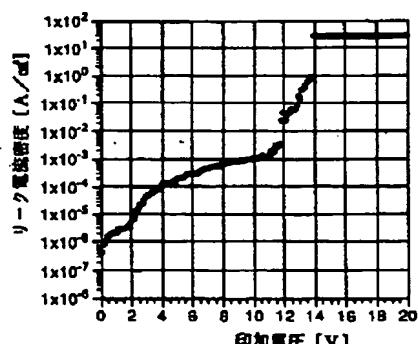
【図4】



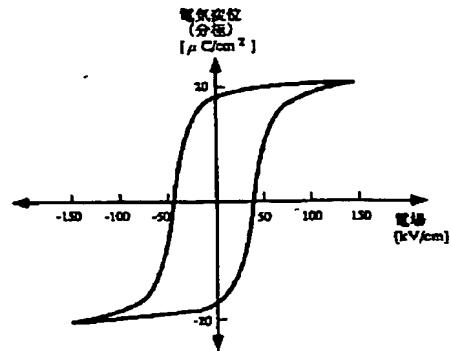
【図5】



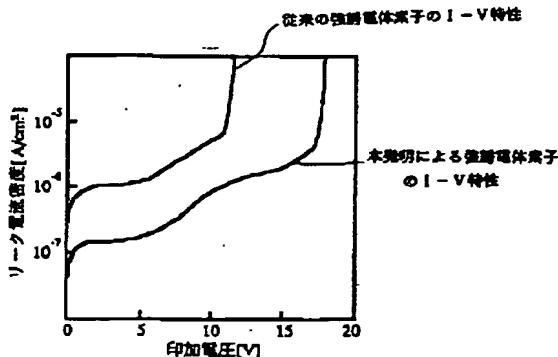
【図6】



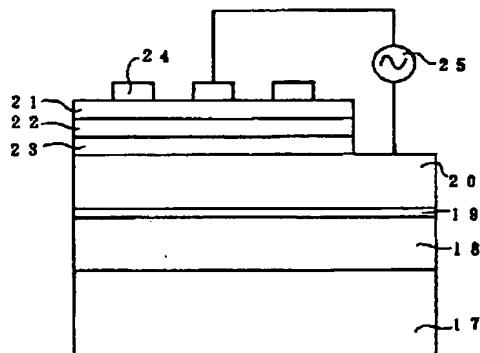
【図7】



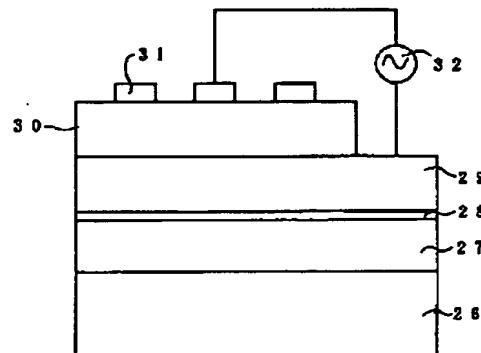
【図8】



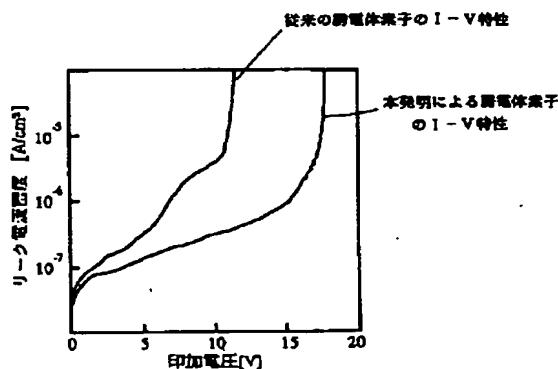
【図9】



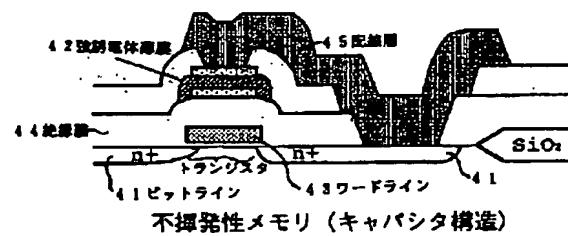
【図10】



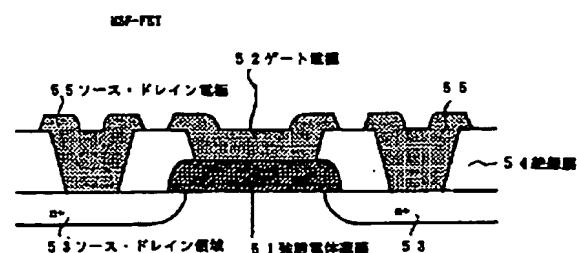
【図11】



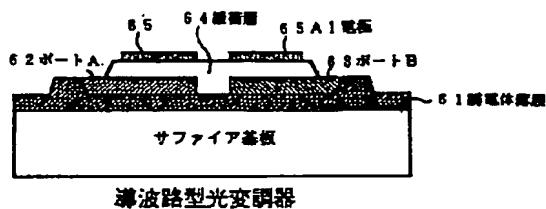
【図12】



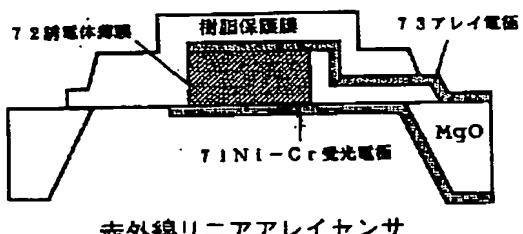
【図13】



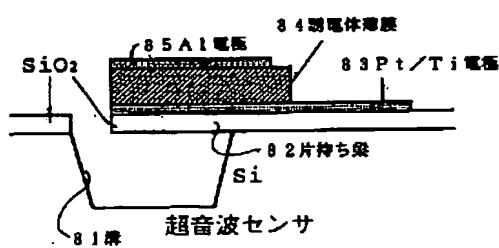
【図14】



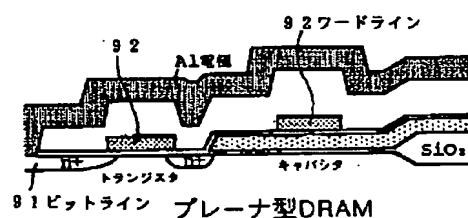
【図15】



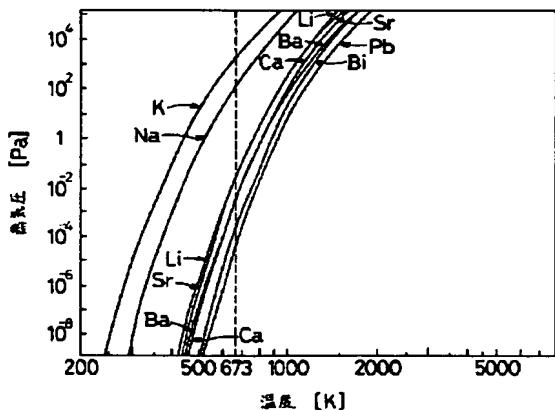
【図16】



【図17】



【図18】



フロントページの続き

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/822				
27/10	4 5 1	7210-4M		
21/8247				
29/788				
29/792				
37/02				
41/08				

(11)

特開平7-183397

41/08

Z